

한국공개특허공보 특2001-98699호 사본 1부.

[첨부그림 1]

특 2001-0098699

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 21/80

(11) 공개번호 특2001-0098699
(43) 공개일자 2001년11월09일

(21) 출원번호	10-2001-0020765
(22) 출원일자	2001년04월18일
(30) 우선권주장	09/562,560 2000년04월19일 미국 (US)
(71) 출원인	어드벤처스 인터랙티브 테크놀로지 리미티드 추후제출
(72) 발명자	홍종 프영 한 침 인 스토리코 9 선라이 센터 1901 형에드윈와매영 홍종 프영한형인스스토리코선라이센터1901 카림 자히드 사드루딘 홍종 뉴테라드라조사이홍형음코드닐버 10 (74) 대리인

특허청구 : 없음

(54) 발명의 명칭 및 발명의 상세한 설명

요약

본 발명은 동등분리용 칩 또는 웨이퍼상에서 습도 범프의 형성 방법은 칩 또는 웨이퍼에 전극화·전착을 제공 하는 복수의 금속 전극패드를 갖는 칩 또는 웨이퍼를 제공하는 단계, 순주석 또는 주석-구리, 주석-은, 주석-비스무트 또는 주석-은-구리 합금에서 선택된 주석 합금을 전기도금법으로 도포하는 단계, 및 발프 용 증진 위의 온도표 가압함으로써 습도 범프를 형성시켜 리플로우를 형성하는 단계를 포함한다.

도면도

도 1

도 2

습도 범프

도 3

도 4

본 발명의 실시예를 다음과 같은 도면을 참조하여 예로서만 설명한다.

도 1 은 패키징내의 통합칩의 단면도.

도 2 는 습도 범프의 형성의 제 1 의 4 개의 단계를 설명하는 도.

도 3 은 도 2 의 단계 후의 종단 단계를 나타내는 도.

도 4 는 본 발명에 따라 형성된 주석-구리 범프의 주사 전자 현미경 사진을 나타내는 도.

도 5 는 본 발명에 따라 형성된 주석-비스무트 범프의 주사 전자 현미경 사진을 나타내는 도.

도 6 는 순주석 범프의 주사 전자 현미경 사진을 나타내는 도.

도 7 는 본 발명에 따라 주석-은 범프의 주사 전자 현미경 사진을 나타내는 도. 및

도 8 는 본 발명에 따라 주석-은-구리 범프의 주사 전자 현미경 사진을 나타내는 도이다.

※ 도면의 주요 부분에 대한 부호의 설명

2 : 전극 회로 4 : 기판

6 : 금속화 콘택트 7 : 추가 습도-물

8 : 웨이퍼 9 : 인쇄 회로 기판

10 : 전극 패드 12 : 유리 표시면이전송

14 : 금속층 18 : 하부 범프 금속

20 : 범프

본문의 개요와 범위

본문의 목적

본문에 속하는 기술분야 및 그 분야의 종래기술

본 발명은 플립칩 집적 응용분야에 대해 반도체 웨이퍼상에 남 있는 솔더 범프 집속을 형성하는 방법에 관한 것이다.

플립칩 배선 기술로서, '번드'라고 부르는 상층형 도전성 콘택트는 집적의 우선 전역 또는 남을 사용하지 않고 후속으로 결합된 웨이퍼 상에 (또는 '플립칩' 집적)의 전적 처리 (IC)의 입력/출력 집속 패드 상으로 우선 형성된다. 남, 남-주석 솔더, 니켈, 구리 및 도전성 플리머를 포함하여 다양한 범프 배선 매개체가 제안되었다. 남-주석 솔더는 더욱 강력하고 제조가능한 부착 결합을 가능하게 하는 솔더의 좋은 인터미트 및 솔더 플레너라이징 특성 (리플로우성) 때문에 특히 효과적이다. 전기적 콘택트를 제공하는 외에도, 솔더 범프는 열화 기간 사이에 기계적이고 열적인 전속을 형성한다. 남-주석 솔더 범프의 사용은 1960 년대에 IC에 의해 범프의 제조시 종속법을 사용하여 CA (controlled-collapse-chip-connection)에서 처음 도입되었다.

다른 배선 기술과 비교하여 플립칩 기술의 주요한 이점은 다음과 같다.

- i) 특정의 응용분야에 대해 집의 표면상의 어느 지점에서 또한 편리한 지점에서 소형의 범프 콘택트를 실제로 설치할 수 있기 때문에 플립칩에 형성할 수 있는 솔더 집속의 수를 현저하게 증가시킬 수 있는 능력 (유선 집적 및 데이터 지능화 집적 (TAS)과 같은 '주변반의' 집적법과는 다름).
- ii) 다이 크기를 축소시키고 IC 제조 수율 및 신뢰성 모두에 좋은 영향을 미치는 주변의 패드로 유도하는 긴 금속화 라인에 대한 필요를 제거하는 것만일.
- iii) 금속 배선 속도 및 저전력 소비를 유발하는 더욱 낮은 전기적 저항 및 인덕턴스값.
- iv) 플립칩 집적 후 IC의 솔더 범프 및 노출된 배면을 통해 견도에 기반한 더 좋은 열 손실 성능.
- v) 전체 전압 피크의 변동이 저가인 더 작고, 밝고, 간단한 패키지의 제공.

솔더 범프 재료의 정적인 조성의 선택은 다양한 요소, 특히 용융점에 의해 통상 영향받는다. 솔더 용융점에 주의를 요하며, 특히 상변태온도 (남-주석 (구리 첨가 온도)로 저비용 유기 재료로 주로 형성되는 기간에 플립칩을 집적하는 것에 주의를 요한다. IC를 플립칩 집적을 할 때, 솔더의 용융점보다 통상 20 ~ 30 °C 높은 온도로 가열한다. 솔더 범프의 용융점을 너무 높이는 것은 기간의 손상과 유발할 수 있다.

플립칩 집적 응용분야에 주로 사용되는 2 개의 통상의 범프 재료는 순금 및 남-주석 합금으로 이루어진다. 전자는 백금 표시 장치 (LCD) 상에 또는 TAS 패키지에 삽입된 IC를 플립칩하는데 주로 사용된다. 남-주석 솔더 범프는 플립칩 온 보드 또는 플립칩 인 패키지에 주로 사용된다. 솔더 범프는 저가 및 더욱더 제조가능하고 강력한 플립칩 집적 환경을 제공하는 솔더 플레너라이징 및 솔더 플레너링 리플로우 특성 때문에 금 범프에 대해 통상 바람직하다.

솔더 범프로서 채택되는 남-주석 합금은 특히 95중량%Pb/5중량%Sn, 97중량%Pb/3중량%Sn 및 평균 97중량%Pb/63중량%Sn을 포함한다. Sn 및 81 가 부가된 남 기초 솔더가 또한 제안되었다.

환경에 대한 인식이 증가함에 따라, 통상 매립지에서 폐기되는 전자 제품으로부터의 남이 결국 식수 시스템으로 도달되기 때문에 전자 제품에 남 함유 솔더의 사용에 대한 전제적인 금지가 고려될 수 있다. 전자 제품에 남의 사용을 제한하는 법률은 EC에서 발표될 수 있고, 유사한 남 금지 법안이 미국 및 일본에서 계속되어 있다. 전자 부위에 대해 적합한 남 있는 회로품을 확인하는 노력은 빠른 회로 기관, 리드프레임 패키지 상에 또한 솔더 웨이퍼의 선택에 주로 초점이 맞추어져 있다. 플립칩 응용분야에 대한 범프 배선의 제조에 주의를 기울이지 않았다.

남 있는 솔더는 인체에 기초한 솔더, 및 비스무트, 주석, 안티몬, 마그 및 금으로 이루어진 합금을 포함하여 제안되었다.

본문에 이루고자 하는 기술적 목적

요구되는 것은 플립칩 응용분야에 종래 사용된 남-주석 합금을 직접 대체할 수 있는 남 있는 솔더 범프 조성, 및 남 있는 솔더 범프 조성을 채택한 제조 방법이다.

Motorola에 부여된 미국 특허 번호 제 5410184호 공보에는 2 ~ 8 중량% 또는 더욱 바람직하게는 3 ~ 5 중량% 구리 및 1.5 중량% 이하의 은을 주요한 성분으로서 남 있는 솔더 합금을 사용하는 것이 제안되었다. 이 솔더는 전적으로 인한 일정 정도의 금속간의 합성을 유지하도록 바람직하게는 3 ~ 5 중량%의 구리가 존재하는 것이 요구된다. 주석-구리 금속간의 과도한 형성 때문에 이 조성은 집적 근접의 문제를 일으킬 수도 있다.

본 발명은 속적인 상술한 문제점을 해결하는 솔더 범프의 형성 방법을 제공한다 있다.

본문의 구성 및 작용

본 발명의 제 1 미양에 따르면, 플립칩 응용분야용 한 또는 웨이퍼상에의 솔더 범프의 형성방법은 한 또는 웨이퍼에 전기적 집속을 제공하는 복수의 금속 전학 패드를 갖는 한 또는 웨이퍼를 제공하는 단계, 솔 주석 또는 주석-구리, 주석-은, 주석-비스무트 또는 주석-은-구리중에서 선택된 주석 합금을 제공하는 솔

다 연도를 전기도금법에 의해 도포하는 단계, 법프 용융점 위의 온도까지 가열함으로써 솔더 범프를 용융시켜 리플로우를 형성하는 단계를 포함한다.

솔더는 순주석, 286% 미만의 구리 또는 더욱 바람직하게는 약 0.786%의 구리를 갖는 주석-구리 합금, 20중량% 미만의 은 또는 더욱 바람직하게는 3.5중량%의 은, 또는 10중량%의 은을 갖는 주석-은 합금, 5중량% 내지 25중량% 사이의 비스무트 또는 더욱 바람직하게는 약 20중량%의 비스무트를 갖는 주석-비스무트, 또는 6중량% 미만의 은, 바람직하게는 3.5중량%의 은, 2중량% 미만의 구리, 바람직하게는 0.786%의 구리를 갖고 나머지는 주석인 주석-은-구리 합금중 하나이다.

순주석 또는 주석 합금이 용융의 납-주석 합금을 직접 대체할 수도 있지만, 전기도금법을 사용하여 솔더 범프를 형성하여 특별한 침 형성된 규칙적인 법프를 제공할 수 있다.

2중합금 주석-구리, 주석-은 및 주석-비스무트의 경우에서, 성분은 단일 도금액으로부터 합금으로서 동시에 공통 용해될 수 있다.

대체적인 기술에서 성분은 각각의 도금액으로부터 순차적으로 용해될 수 있고, 리플로우 공정시 가열하여 요구되는 합금을 형성할 수 있다. 이 순차적인 도금은 특히 3중합금 주석-은-구리에 또한 적용할 수 있다. 이 경우, 합금은 단일 도금액으로부터 주석-구리 합금의 일 또는 다른 것을 용해함으로써, 또는 은을 용해하고, 다른 것을 용해함으로써 3 개의 성분 각각을 순차적으로 용해할 수 있다.

본 또는 웨이퍼는 전기도금전, 스퍼터링 용 또는 확산 배리어, 산화, 부식, 및 도금 콘택트층 (전기적 접속) 에 대한 배리어로서 작용하는 금속의 층이 제공될 수도 있다. 25 - 200 μm 의 두께를 갖는 포토레지스트 (네가티브 또는 포지티브 톤) 또는 건조막과 같은 두꺼운 감광성 폴리머 재료의 층이 도금된 후 용융 범프의 위치 및 형태를 정하는데 사용된다. 두꺼운 포토레지스트 또는 건조막의 영역은 다음 일정한 법프에 오작란치 않도록 용해, 용융된 용이 및 체적의 도금 솔더 범프를 확보하고, 법프 각각의 적정의 형적 계수의 차이를 보상하기 위해서 또한 용융된 질화 후 법프와 기판 사이에 언더필 재료가 용출되는데 충분한 공간을 제공하기 위해서 법프와 기판 사이의 필요한 스페이스를 놓아줄 유지하는데 중요하다.

솔더 범프의 전기도금을 직류 (DC) 또는 펄스형 교류 등의 하나를 사용하여 실행할 수 있다. 전류치 및 전압치는 웨이퍼의 크기 및 전체 노출의 면적에 따라 달라진다. 바람직한 DC 도금 전압리터는 0.05 - 0.1 A 사이의 전류로 3 - 5 V 사이의 범위이다. 바람직한 펄스형 도금 사이클 기간은 약 1 ms 동안 -5 V, 약 1 ms 동안 0 V 구간, 1 ms 동안 -5 내지 -10 V 사이, 약 1 ms 동안 0 V 이다.

역 또는 파운던 도금 장비는 웨이퍼상의 솔더의 도금에 사용될 수도 있다.

본 발명의 다른 대안에 따르면 용융된 용융용액에 침 또는 웨이퍼상의 솔더 범프의 형성 방법중, (a) 포시비이션층 및 금속의 노출된 금속성 전하 패드를 갖는 침 또는 웨이퍼를 제공하는 단계, (b) 웨이퍼 및 솔더 금속 금속층을 용융성 침액 패드에 형성하는 단계, (c) 광방출층을 금속성 침액 패드의 일부분에 제거할 것인 침 또는 웨이퍼를 형성하는 단계, (d) 순주석, 또는 주석-구리, 주석-은, 주석-비스무트 또는 주석-은-구리중에서 선택된 주석 합금을 포함하는 솔더를 전기도금법에 의해 도포하는 단계, (e) 광방출층을 제거하는 단계, 및 (f) 솔더 범프를 용융시켜 리플로우를 형성하는 단계를 포함한다.

본 발명은 상술한 방법에 따라 형성되는 침 또는 웨이퍼에 포함한다.

배리층의 실시예의 상세한 설명

도면을 참조하면, 도 1 은 관련 기술분야에서 '법프' 라고 불리는 솔더의 금속화 콘택트 (6) 에 의해 기판에 장착된 '플립칩' 인 적체 회로 (2) 를 나타낸다. 기판 (4) 은 추가 솔더 볼 (7) 또는 리드를 통해 인쇄 회로 기판 (8) 에 장착된 볼 그리드 어레이 (BGA: Ball Grid Array) 또는 칩스케일 패키징 (CSP: Chip-Scale-Packaging) 인쇄 회로 기판 또는 중간 패키징될 수 있다. 패키징은 유기, 세라믹 또는 금속 재료로 형성될 수 있다.

본 발명은 거의 남아 있는 금속 솔더를 사용한다 (통상 10 ppm 정도의 불순물 레벨에서 남아 존재하는 경우를 제외). 순주석, 또는 구리, 은 또는 비스무트 또는 은 및 구리를 모두와 같은 합금 요소의 소량도 포함하는 주석을 포함하는 것이 특히 바람직한 조성이라는 것을 확인되었다. 이러한 합금 요소들 중 주석하는 것이 순주석의 용융점을 낮추고, 도금 용액의 위스커의 형성을 방지하고, 주석의 표면 장력을 낮추어 주석의 기계적 특성 (예, 연성) 을 향상시키고, 8도부터 순주석의 위상 변화를 방지하여 13°C 이하에서 발생하도록 형성하는 효과가 있다는 것이 확인되었다. 이 위상 변화는 집적 집적도 및 강도도 포함할 뿐만 아니라, 기계적 강도의 강도를 유지하는 제적 변화에 수반된다. 솔더 범프 재료들 다공과 같이 더욱 자세히 설명한다.

도 2 및 도 3 은 전기도금법을 사용하여 상술한 조성의 금속 솔더 범프 배선을 형성하는 제조 공정을 나타낸다.

도 2 의 (a) 는 몰래 Al:Si (1-2중량%) 또는 Al:Si:O₂ (1-2중량% 및 1-5중량%), 더욱 최근에는 순 구리로 만들어진 적당한 위치 접촉 패드에 미리 사용된 반도체 웨이퍼 (8), 및 웨이퍼 위에 연방하지만 적당한 위치에서 제거되어 접촉 패드 (10) 를 노출시키는 유리 패시비이션층 (12) 을 나타낸다. 접촉 패드는 침의 광상 영역에 전기적으로 접속하게 한다.

제 1 단계는 모든 패드상에 자연적으로 형성된 산화층을 제거하기 위해서 진공하에서 수합된 박스퍼팅 용액에 의한 웨이퍼 (8) 의 세척 단계를 포함한다. 세척 단계는 단일 또는 연속의 금속층 (14) 의 스퍼터 용착 및 도 2 의 (b) 에 나타낸 것과 같은 통상 2 개의 단계가 후속된다. 통상 크롬으로 한층 덮고 제 1 금속층은 500 - 1000 Å 의 두께를 갖고, 세척된 접촉 패드 및 글래스 패시비이션층, 부하를 증가시키고, 금속 패드의 재산화물 방지하고, 배리어 확산층을 솔더에 형성하는 것을 포함하는. 후속의 기능을 수행한다. Ti/W, Ni/W 또는 Ti 는 제 1 층에 사용될 수도 있다. 제 2 금속층은 2500 - 10000 Å 두께의 구리로 형성되어 범프 금속에 대한 시드층을 형성하고 콘택트 도금 (전기적 버스) 을 제공한다. 니켈은 제 2 층의 구리 대신에 사용될 수도 있다.

다음 단계는 도 2의 (c)에 나타낸 선과 같이, 웨이퍼의 표면상에 스페이싱하고 베이킹하여 층을 건조하게 한 다음, 또는 건조막을 적층함으로써 형성되는 액체 포토레지스트 또는 건조막과 같은 자연성에 민감한 포토머지법 유기막 (16)의 두께를 (바람직하게는 50 ~ 200 Å)으로 웨이퍼를 패터닝하는 단계로 이루어진다. 액체 레지스트를 이러한 무대로 만들기 위해서, 2 단계 층을 및 베이킹에 요구될 수도 있다. 금속층에 선택적으로 형성된 개구부를 갖는 금속 코팅된 유리 포토마스크를 통해 노출시킴으로써 감광층을 패터닝함으로써 형성되는 영역을 정한다. 이러한 개구부는 자연성을 통과하도록 하고 감광층을 노출시키도록 한다. 감광층의 두께 및 개구부의 크기는 부분적으로는 최종 처리 및 속도, 범프의 형태를 결정한다. 두께는 충분한 범프 높이를 확보하는데 중요하고 범프가 리플로우되고 불균형이 전역 후 기판으로부터 충분한 전 스퍼트오프를 확보하는 것이 중요하다. 포토레지스트 또는 레지스터를 감광성 폴리머는 이러한 공정에 사용될 수도 있다. 감광층을 현상한 후, 도금되지 않은 영역에 보호층을 제공하고, 전기적 콘택트용이 하부 스퍼트오프 구리층으로 웨이퍼의 예치에서 개방되고, 웨이퍼는 구리 (또는 니켈)로 도금되어 하부 범프 금속 (16a; under-bump-metal)을 형성한다. 통상 3 ~ 7 μm 두께의 하부 범프 금속 '속' 구조로서 작용한다.

웨이퍼는 적당한 형태의 도금액을 선택함으로써 솔더 (도 3의 (a))로 전기도금되고, 도금 처리조내의 예는: 순수적의 납 또는 몰리브덴, 또는 주석-구리, 주석-은, 또는 주석-비스무트 범프 (20)를 포함하는 합금이 원하는 스토이키오메트리의 각각의 성분의 동시적인 공동 용액으로 단일 도금액으로부터 형성될 수 있다. 예를 들어 Shipley Royal의 도금액과 같은 다양한 제공자로부터의 도금액이 적용될 수 있다. 순수적 전기도금을 하는 것은 Shipley Royal의 Tinslot Dico를 특별히 적용하지만, 주석-비스무트에 대해서는 솔더를 81% 제공은 적당하지 않다. 용접성이 웨이퍼가 통상 인가되어, 저속으로 효과적으로 만든다. 원하는 합금에 대해서 순수적 예는도 또는 주석-구리 예는도가 용해가능한 예는도면이 경우에 사용되거나, 또는 주석-비스무트 용액에 대해서는 용해가능한 예는도면이 용해가능한 예는도가 바람직하다. 주석-구리, 주석-비스무트 및 주석-은 도금 용액에 단일 도금액으로부터 원하는 스토이키오메트리의 각각의 성분의 동시적인 공동 용액으로 형성되거나 또는 순수 성분 (예는도면)의 순수적인 도금으로 원하는 조성으로 합금을 얻을 수 있다. 3 ~ 5 A.S.D (ampere per square decimeter)의 밀도가 적당하다고 확인되었다. 전류 (DC) 또는 펄스 도금법이 모두 또는 파울링 (일) 도금 장치와 결합하여 사용될 수 있다. DC 도금에 대해 0.05 내지 0.1A 사이의 전류 및 3 ~ 5 V가 바람직하다. 펄스 전압에 대해, 약 1 ms 동안 4 V, 약 1 ms 동안 0 V, 약 1 ms 동안 4 V 내지 10 V 사이, 약 1 ms 동안 0 V 및 펄스가 범프 굴절 및 용액의 조성 면에서 안정이 있다는 것이 확인되었다.

단일 도금액으로부터 각각의 성분을 동시에 용해하는 대신에, 각각의 도금액으로부터 순차적으로 도금함으로써 또한 도금 시간을 제어하여 각각의 성분의 상대적인 양을 제어함으로써 순수 성분을 용해할 수 있다. 이는 순수 성분의 적층 구조를 유발하지만, 도금 용액이 리플로우될 때 결과적인 범프는 원하는 스토이키오메트릭 합금이다. 이 순차적인 도금 기술은 능률적 2차원공정의 어떤 것에도 적용될 수 있다. 어떤 성분을 먼저 도금하는지 나중에 도금하는지는 중요하지 않다.

주석-은-구리의 경우, 결과적인 합금조성을 정확히 제어하는데 어려움이 있기 때문에 단일 도금액으로부터 3차원공정의 도금으로서, 이 순차적인 도금 기술이 특히 유용하다는 것이 확인되었다. 우선, 2차원 도금액으로부터 주석-구리를 동시에 용해: 용해함으로써, 주석-구리 용액은 용해는 범프로 바람직하게 형성되고, 또한 순층을 도금한다. 도금 용액의 리플로우시 원하는 2차원공정이 형성된다. 대안으로서, 은은 우선 용해되고, 주석-구리가 나중에 용해될 수도 있다. 다른 대안으로서, 3 개의 성분을 순차적으로 용해할 수도 있다. 이 대안적인 용액은, 상대적으로 큰 범프의 용해에 대해 실험할 수 있지만, 구리의 비율이 적다는 사실 (2% 미만, 바람직하게는 약 0.7%) 때문에 소한 범프로는 여전히 있고 용액의 양의 정확한 재료가 더욱 어려워진다.

도금 공정이 솔더가 패터닝된 감광층의 상부에 도달하기 전에 중단되면, 범프는 불리함 (도 3의 (a1))을 형성한다. 도금 공정이 포토레지스트의 높이 위로 계속되면, '바스' 현상 형성한다. (도 3의 (a)). 감광층을 원하는 높이까지 패터닝할 수 없는 경우 솔더의 재치를 증가시키기 위해 필요하다면 배선회로가 사용될 수 있다.

범프 제조 공정을 종료하는 단계는 도 3의 (b)에 나타낸 보호감광층의 제거, 및 도 3의 (c)에 나타낸 회합 수단을 사용하여 스퍼트오프 구리 및 크롬층을 제거하는 단계를 포함한다.

플럭스가 도금 범프에 가해지고, 그 도금 범프는 오븐내에서 리플로우되어 구한 솔더형 (20')을 형성한다. 대안으로서, 감속되는 질소 및 수소 분위기에서 조립을 사용할 때 플럭스 없이도 범프의 리플로우를 얻을 수 있다.

소정의 선택된 범프 솔더 재료는 다음과 같다.

a) 순수적

납-주석 범프에 대한 납 없는 대체물로서 제조하기에 가장 간단하고, 최저가이고, 가장 순서기 때문에 선택되지만, 납-주석 솔더와 상한 유사한 물리적, 전기적 및 열적 특성을 갖는다. 낮은 녹는점 및 양호한 솔더성을 갖는다.

주석 위스커 (수용 단속 및 장치 고장을 일으킬 수 있음)의 형성 시간 과도의 제거하면 효과. 때문에 마이크로전자 패키징에서 주석층을 사용하는 것에 대한 강한 반감이 있다는 사실에도 불구하고, 플립칩 용 용접이용 솔더 범프로서 사용하는 것은 위스커 형성의 문제를 발생하지 않는다. 위스커 형성은 스트레스 시간 중속 효과이고 리플로우 공정이 이 스트레스를 완화시킨다.

b) 주석-구리

구리의 백분율은 2중점 미만이고 바람직하게는 공동점을 나타내는 약 0.7중점%의 영역에서 227°C의 용융점을 나타낸다. 약 2% 보다 높은 구리의 농도는 용가된 용융점 (제조상의 문제점을 증가시킨)을 갖기 때문에 구리는 제지거 쉬운 주석을 갖는 금속간 화합물을 형성함으로써 기체적으로 불

인정하다. 227°C의 용융점을 갖고 95.5중량%Sn/0.7중량%Cu의 조성을 갖는 주석-구리 합금 시스템은 300°C 이하의 용융점을 갖는 높은 비율의 납 (95중량%Pb/5중량%Sn 또는 87중량%Pb/3중량%Sn) 합금에 대한 납 없는 대체물로서 고려할 수 있다. 기점이 약 280°C의 리튬로우 합금을 만들 수 있다면 주석-구리 합금 시스템은 또한 공융 납-주석 합금에 대한 대체물로서 고려할 수 있다.

c) 주석-은

대부분의 용융분야에서 은의 비율은 5중량% 미만이고 바람직하게는 합금 시스템의 용융점의 3.5중량% 이하이다. 은비가 스트레스 및 다른 열적 순환을 거칠 수도 있는 경우 바람직할 수도 있는 순주석의 면적을 상당히 증가시키도록 나타나기 때문에 은의 소량 첨가는 바람직할 수도 있다. 9.5중량% 은과 높은 은의 농도는 은의 고비용 때문에 통상 바람직하지 못하다. 또한, Sn-Ag 시스템의 용융점은 첨가하는 은 함량과 함께 급속도로 증가한다. 예를 들어, 3.5중량% 은의 용융점에서 용융점은 221°C이다. 10중량% 은에서 용융점은 최저비용 유기:기온 또는 더 나은 재료에 대해 너무 높은 300°C이다. 그럼에도 불구하고 납 없는 솔더 범프가 바람직한 높은 용융점 (300°C 초과)의 경우, 세리의 가파름으로 용융점 근처에 대해 20% 미만의 은 조성 및 더욱 바람직하게는 약 10%가 바람직하다. 20% 은에서는 용융점은 일정한 고온 용융에서 잠재적으로 유용한 376°C이지만, 10% 은에서는 용융점은 95중량%Pb/5중량%Sn 및 87중량%Pb/3중량%Sn 합금 용융점에 견줄 수 있는 약 300°C이다. 따라서, 공융 (95.5중량%Sn/3.5중량%Ag) 및 높은 비율의 은 (90중량%Sn/10중량%Ag) 함유 합금이 공융 (37중량%Pb/63중량%Sn) 및 높은 비율의 납 (95중량%Pb/5중량%Sn 또는 87중량%Pb/3중량%Sn) 합금의 납 없는 대체물로서 각각 고려할 수 있다.

d) 주석-비스무트

비스무트의 비율이 10 - 25 중량%의 범위에 있도록 선택한다. 주석-비스무트 시스템은 조성의 넓은 범위에서 대해 허용가능한 용융점, 즉, 10% Bi에서 225°C 및 60%에서 138.5°C (공융점 LEPB)를 나타낸다. 약 20중량% 비스무트에서, Sn-Bi 합금의 용융점은 공융 납-주석의 용융점인 183°C와 유사한 185°C임으로써 특정의 Sn-Bi 합금이 공융 납-주석 솔더에 대한 '드롭인' 대체물로서 사용될 수 있다.

e) 주석-은-구리

주석-은-구리 합금은 5중량% 미만의 은, 바람직하게는 약 3.5중량%Ag, 및 2중량% 미만의 구리, 바람직하게는 약 0.7중량%Cu의 조성을 갖고, 나머지는 주석이다. 이 합금은 공융 납-주석 솔더에 대한 대체물로서 적당하게 하는 216°C 내지 217°C 사이의 용융점을 갖는다.

전기도금에 의해 채워진 상용화된 성분 주석 및 주석 합금 성분은 납 없는 솔더 범프를 만들고 동시에 용해의 납-주석 솔더 범프의 특성과 견줄 수 있는 특성을 갖는다는 것이 확인되었다.

도 4의 (a)는 공융 주석-구리 범프 도금의 주사 전자 현미경 사진이고, 도 4의 (b)는 매우 규칙적으로 잘 형성된 납 솔더 범프를 나타낸다.

도 5는 90중량%Sn/10중량%Bi에 대한 주석-비스무트 솔더 범프의 주사 전자 현미경 사진, 및 가짜에 전착하기 위해 적당할 정도의 규칙적으로 잘 형성된 솔더 범프를 나타낸다.

도 6는 순주석 솔더 범프 도금 및 리플로우 후의 주사 전자 현미경 사진이다.

도 7는 규칙적으로 형성된 솔더 범프를 나타내는 95.5중량%Sn/3.5중량%Ag에 대한 주석-은 솔더 범프의 도금 및 리플로우 후의 주사 전자 현미경 사진이다.

도 8는 주석-구리 대체물 주석-은의 순차적인 도금의 방법을 사용하여 제조된 95.7중량%Sn/3.5중량%Ag/0.8중량%Cu에 대한 주석-은-구리 솔더 범프 도금 및 리플로우 후의 주사 전자 현미경 사진이다.

예시 2

본 발명에 따른 납 없는 솔더 범프는 납이 함유된 솔더 범프를 대체할 수 있으며 종래의 솔더 범프와 거의 동일한 특성을 나타낸다.

(5) 전기적 특성

첨구함 1

습윤성 용융분야용 납 또는 웨이퍼상에의 솔더 범프의 형성 방법으로서,

철 또는 웨이퍼에 전기적 접속을 제공하는 복수의 금속 전극 패드를 갖는 상기 철 또는 웨이퍼를 제공하는 단계, 순주석 또는 주석-구리, 주석-은, 주석-비스무트, 또는 주석-은-구리중에서 선택된 주석 합금을 포함하는 솔더 범프를 전기도금법으로 도포하는 단계, 및 범프 용융점 이상의 온도로 가열함으로써 솔더 범프를 용융시켜 리플로우를 형성하는 단계를 포함하는 것을 특징으로 하는 솔더 범프의 형성 방법.

첨구함 2

제 1항에 있어서, 상기 솔더는 2중량% 미만의 구리를 갖고 나머지는 주석을 갖는 주석-구리 합금인 것을 특징으로 하는 솔더 범프의 형성 방법.

첨구함 3

제 2항에 있어서, 상기 솔더는 약 0.7중량%의 구리를 갖고 나머지는 주석을 갖는 주석-구리합금인 것을 특징으로 하는 솔더 범프의 형성 방법.

첨구함 4

제 1항에 있어서, 상기 솔더는 20중량% 미만의 은을 갖고 나머지는 주석을 갖는 주석-은 합금인 것을 특

점으로 하는 솔더 범프의 형성 방법.

청구항 5

제 4 항에 있어서, 상기 주석-은 합금은 약 3.5중량%의 은을 갖고 나머지는 주석을 갖는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 6

제 4 항에 있어서, 상기 주석-은 합금은 약 10중량%의 은을 갖고 나머지는 주석을 갖는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 7

제 1 항에 있어서, 상기 솔더는 5 내지 25중량% 사이의 비스무트를 갖고 나머지는 주석을 갖는 주석-비스무트 합금을 특징으로 하는 솔더 범프의 형성 방법.

청구항 8

제 7 항에 있어서, 상기 주석-비스무트 합금은 20중량%의 비스무트를 갖고 나머지는 주석을 갖는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 9

제 1 항에 있어서, 상기 솔더는 5중량% 미만의 은을 갖고 2중량% 미만의 구리를 갖고 나머지는 주석을 갖는 주석-은-구리 합금인 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 10

제 9 항에 있어서, 상기 주석-은-구리 합금은 3.5중량%의 은을 갖는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 11

제 9 항에 있어서, 상기 주석-은-구리 합금은 0.7중량%의 구리를 갖는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 12

제 1 항에 있어서, 단일 도금액으로부터의 합금으로서 상기 주석-구리, 주석-은 또는 주석-비스무트 합금의 상보금을 동시에 공동증착하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 13

제 1 항에 있어서, 상기 주석-구리, 주석-은, 주석-비스무트 또는 주석-은-구리 합금을 순차적으로 순수 증착된 도금층으로써 증착하고, 가열하여 요구되는 합금을 형성하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 14

제 1 항에 있어서, 단일 도금액으로부터 주석-구리 합금층의 하나 또는 다른 금속을 증착함으로써, 또는 은을 증착하고 나머지를 증착함으로써 상기 주석-은-구리 합금을 증착하고, 가열하여 3원합금을 형성하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 15

제 1 항에 있어서, 상기 칩 또는 웨이퍼는 상기 솔더 범프의 위치를 정하도록 패턴링된 두께를 감할성 재료의 층을 제공하고, 상기 감할성 재료는 25 내지 200 μ m 사이의 두께인 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 16

제 1 항에 있어서, 상기 전기도금을 직류로 사용하여 실행하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 17

제 1 항에 있어서, 상기 전기도금을 펄스형 교류를 사용하여 실행하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 18

제 17 항에 있어서, 각각의 펄스는 약 1 μ s 동안 약 +5 V, 약 1 μ s 동안 0 V, 약 1 μ s 동안 약 -5V, 및 약 1 μ s 동안 약 0 V를 포함하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 19

종래의 응용분야용 칩 또는 웨이퍼상에서의 솔더 범프의 형성 방법으로서,

- (a) 패시비제이션 및 금속의 노출된 금속성 집적 회로를 갖는 칩 또는 웨이퍼를 제공하는 단계;
- (b) 적어도 방출의 솔더 금속층을 상기 금속성 집적 회로에 형성하는 단계;

- (c) 감광성층을 상기 금속성 접착 필드의 일부에 채구부를 갖는 상기 접 또는 웨이퍼에 형성하는 단계;
- (d) 소주석, 또는 주석-구리, 주석-은, 주석-비스무트 또는 주석-은-구리 중에서 선택된 주석 합금을 포함하는 용액을 전기도금법에 의해 도포하는 단계;
- (e) 상기 감광성층을 제거하는 단계; 및
- (f) 상기 솔더 범프를 용융시켜 리플로우를 형성하는 단계를 포함하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 20

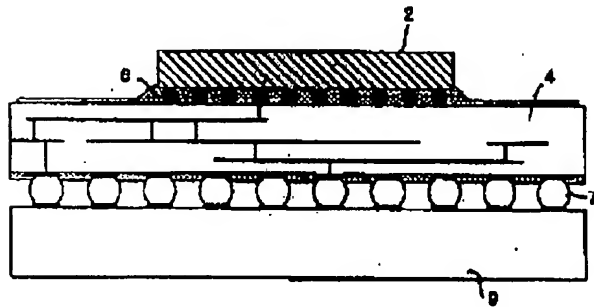
제 1 항의 방법으로 형성된 상기 솔더 범프를 갖는 것을 특징으로 하는 접 또는 웨이퍼.

청구항 21

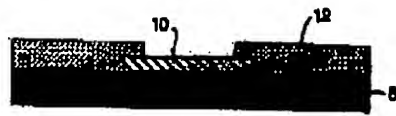
제 19 항의 방법으로 형성된 상기 솔더 범프를 갖는 것을 특징으로 하는 접 또는 웨이퍼.

도면

도면



522



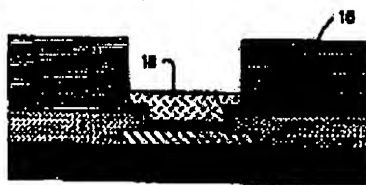
(a)



(b)

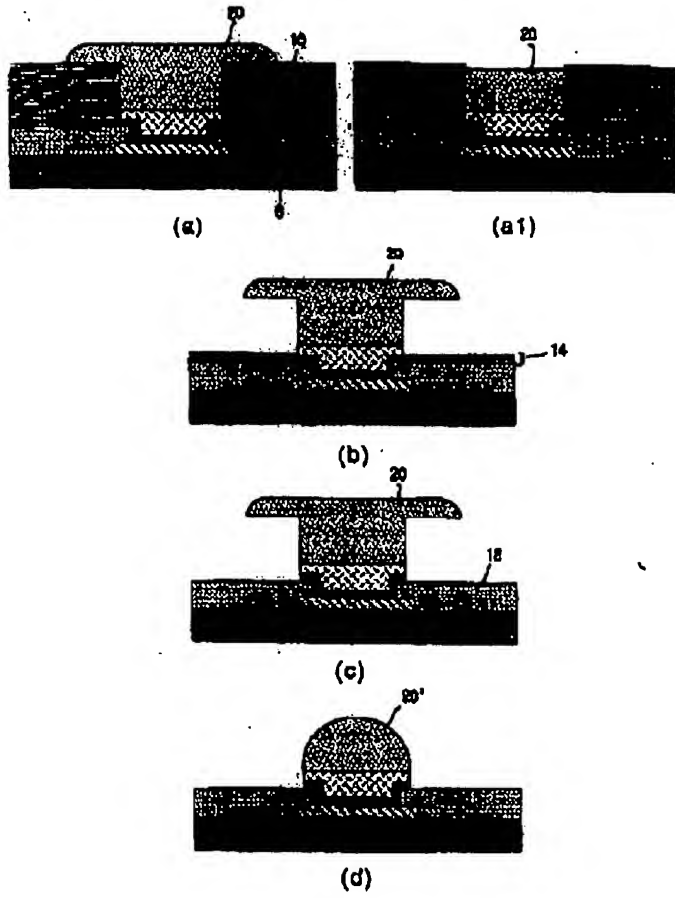


(c)



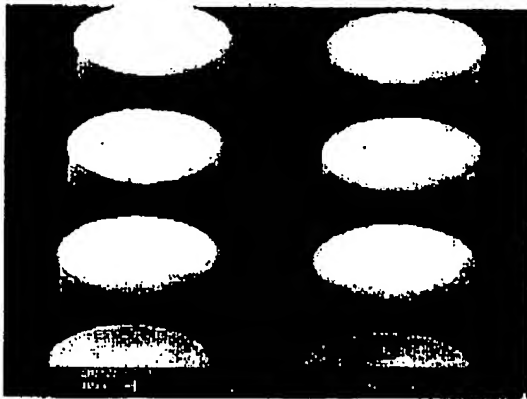
(d)

503



도 4

납 없는 Sn:Cu (89.3:0.7) 범프 도금



(a)

리플로우 후



(b)

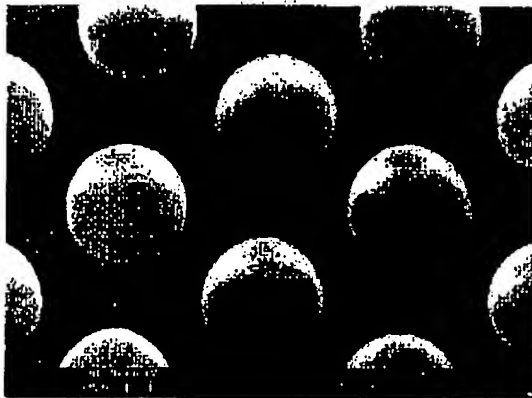
도 25

남 없는 Sn:Bi (80:10) 씨프 도금



(a)

리플로우 후



(b)

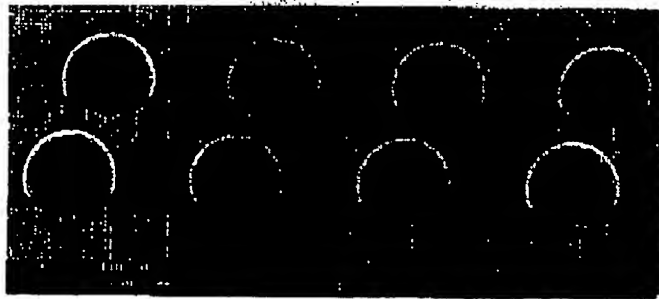
520

남 없는 순주석 뱀프 도금



(a)

리플로우 후



(b)

도면7

납 없는 Sn:Ag (88.5:9.5) 납프 도금



(a)

리플로우 후



(b)

도 29

납 없는 Sn:Ag:Cu (85.7:3.5:0.8) 범프 도금



(a)

리플로우 후



(b)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.